

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035889

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

G06F 15/78  
G06F 11/34

(21)Application number : 03-190255

(71)Applicant : NEC CORP

(22)Date of filing : 30.07.1991

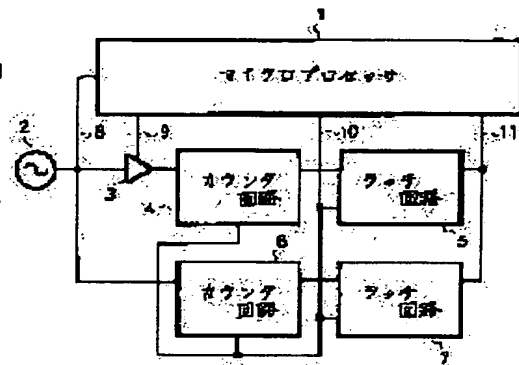
(72)Inventor : KONDO SEIJI

## (54) MICROPROCESSOR CIRCUIT

### (57)Abstract:

**PURPOSE:** To increase the calculation precision of the use rate of a microprocessor and to reduce the processing of the microprocessor by counting a clock passed through a gate which is opened or closed according to whether the microcomputer is in a processing state or idle state.

**CONSTITUTION:** When the microprocessor 1 is in the event processing state, the gate 3 is opened to input the clock from an oscillator 2 to a counter circuit 4 for event processing time measurement. When the microprocessor 1 is in the idle state, on the other hand, the gate 3 is closed and the counter circuit 4 does not count up. A counter circuit 6 for operation measurement counts up whenever the microprocessor 1 is in operation. When the microprocessor 1 reads the value of each counter circuit, the counter circuits 4 and 6 are reset while the values of the counter circuits 4 and 6 are latched in latch circuits 5 and 7, and a data bus 11 is read in from the latch circuits 5 and 7 to find the use rate of the microprocessor.



## LEGAL STATUS

[Date of request for examination] 30.05.1995

[Date of sending the examiner's decision of rejection] 25.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-35889

(43)公開日 平成5年(1993)2月12日

(51)IntCl.<sup>5</sup>

G 0 6 F 15/78  
11/34

識別記号

庁内整理番号

F I

技術表示箇所

K 7323-5L  
M 8725-5B

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-190255

(22)出願日 平成3年(1991)7月30日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 近藤 誠司

東京都港区芝五丁目7番1号 日本電気株  
式会社内

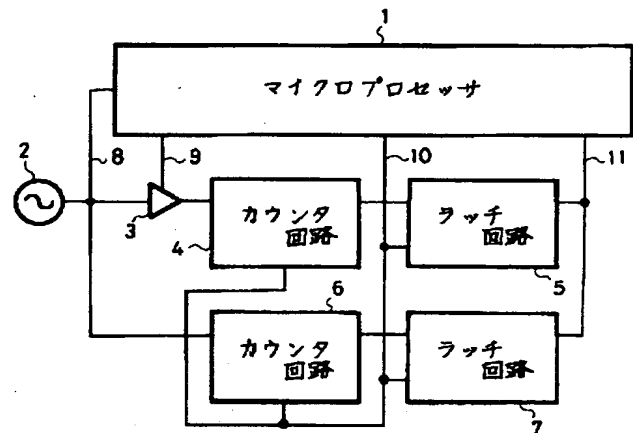
(74)代理人 弁理士 井出 直孝

(54)【発明の名称】 マイクロプロセッサ回路

(57)【要約】

【目的】 マイクロプロセッサの使用率の算出精度を上げ、かつ、マイクロプロセッサの処理の軽減を図ることを目的とする。

【構成】 マイクロプロセッサが処理状態であるかアイドル状態であるかに応じて開閉するゲート3と、マイクロプロセッサを動作させる発振器からのクロックを計数することで各状態の時間を測定するカウンタ回路4、6と、その値をラッチしてマイクロプロセッサに報告するラッチ回路5、7とから構成されることを特徴とする。



## 【特許請求の範囲】

【請求項1】 自プロセッサでイベントを処理したイベント処理時間とこのイベント処理時間を含む自プロセッサが動作した時間との比率である使用率を算定する使用率算定手段をもつマイクロプロセッサと、このマイクロプロセッサの動作時にクロックを供給する発振器とを備えたマイクロプロセッサ回路において、上記マイクロプロセッサがイベント処理状態か否かに応じて開閉するゲートと、このゲートを通して上記発振器からのクロックを計数してイベント処理時間の相当値を測定する第一カウンタ回路と、上記発振器からのクロックを計数して動作時間の相当値を測定する第二カウンタ回路と、上記マイクロプロセッサからの読み込み信号に応じて上記第一カウンタ回路および第二カウンタ回路で計数した測定値をそれぞれラッチし、それぞれこのラッチした値を上記マイクロプロセッサに与える第一ラッチ回路および第二ラッチ回路とを備えたことを特徴とするマイクロプロ

$$\text{マイクロプロセッサ使用率} = \frac{\text{イベント処理状態の時間}}{\text{マイクロプロセッサの動作時間}} \times 100, \quad [\%]$$

この割合が大きいということは、マイクロプロセッサが頻繁に使用されていることを意味する。

【0004】次に、従来の技術について説明する。図3に示すように、一定時間ごとにパルス信号を発生させてマイクロプロセッサに割込をかける回路をマイクロプロセッサの割込信号入力端子に接続し、割込の回数をマイクロプロセッサでアイドル状態とイベント処理状態とに分けて各々数えていた。その結果から各状態であった時間を求め、マイクロプロセッサ使用率を算出していた。

## 【0005】

【発明が解決しようとする課題】このような従来のマイクロプロセッサ回路では、割込信号の周期はたかだか数十msecであり、この割込信号から求めるマイクロプロセッサ使用率の精度は低いものであった。仮に精度を良くするために割込信号の周期を速くすると、今度は割込信号が入力される度にマイクロプロセッサは処理をする必要があるため、他の処理ができなくなる欠点が発生する。

【0006】本発明は、このような欠点を除去するもので、使用率を高精度に算出できる手段をもつマイクロプロセッサ回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は、自プロセッサでイベントを処理したイベント処理時間とこのイベント処理時間を含む自プロセッサが動作した時間との比率である使用率を算定する使用率算定手段をもつマイクロプロセッサと、このマイクロプロセッサの動作時にクロックを供給する発振器とを備えたマイクロプロセッサ回路において、上記マイクロプロセッサがイベント処理状態

ロセッサ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、マイクロプロセッサの使用率を求める手段に関する。

## 【0002】

【従来の技術】マイクロプロセッサは、図2に示すように2つの状態が存在する。一つはアイドル状態であり、処理を要するイベントが全くないことを示し、もう一つはイベント処理状態であり、処理を要するイベントが発生してマイクロプロセッサで処理を行っている状態である。ここで、マイクロプロセッサの使用率とは、マイクロプロセッサの動作時間、すなわちアイドル状態になっている時間とイベント処理状態になっている時間の和に対するイベント処理状態の時間の割合のことであり、次式で求められる。

## 【0003】

## 【数1】

か否かに応じて開閉するゲートと、このゲートを通して上記発振器からのクロックを計数してイベント処理時間の相当値を測定する第一カウンタ回路と、上記発振器からのクロックを計数して動作時間の相当値を測定する第二カウンタ回路と、上記マイクロプロセッサからの読み込み信号に応じて上記第一カウンタ回路および第二カウンタ回路で計数した測定値をそれぞれラッチし、それぞれこのラッチした値を上記マイクロプロセッサに与える第一ラッチ回路および第二ラッチ回路とを備えたことを特徴とする。

## 【0008】

【作用】マイクロプロセッサを動作させる発振器からのクロックをマイクロプロセッサの動作中継続して計数する一方、マイクロプロセッサが処理状態であるかアイドル状態であるかに応じて開閉するゲート3を通してクロックも計数し、この計数値をラッチしてマイクロプロセッサに報告すると、マイクロプロセッサはこの二つの比を求めてマイクロプロセッサ使用率とする。

## 【0009】

【実施例】以下、本発明の一実施例について図面を参照して説明する。図1はこの実施例のブロック図である。

【0010】この実施例は、図1に示すように、自プロセッサでイベントを処理したイベント処理時間とこのイベント処理時間を含む自プロセッサが動作した時間との比率である使用率を算定する使用率算定手段をもつマイクロプロセッサ1と、このマイクロプロセッサ1の動作時にクロックを供給する発振器2とを備え、さらに、本発明の特徴とする手段として、マイクロプロセッサ1がイベント処理状態か否かに応じて開閉するゲート3と、

このゲート3を通過する発振器2からのクロックを計数してイベント処理時間の相当値を測定するカウンタ回路4と、発振器2からのクロックを計数して動作時間の相当値を測定するカウンタ回路6と、マイクロプロセッサ1からの読み込み信号に応じてカウンタ回路4およびカウンタ回路6で計数した測定値をそれぞれラッチし、このラッチした値をマイクロプロセッサ1に与えるラッチ回路5およびラッチ回路7とを備える。

【0011】次に、この実施例の動作を説明する。マイクロプロセッサ1は、発振器2からのクロックによって動作している。ゲート3をマイクロプロセッサ1がゲート制御信号線9を介して制御し、マイクロプロセッサ1

$$\text{マイクロプロセッサ使用率} = \frac{\text{イベント処理時間 (カウンタ回路4の値)}}{\text{動作時間 (カウンタ回路6の値)}} \times 100 \quad [\%]$$

【0013】ラッチ回路5および7はマイクロプロセッサ1のデータバス11に接続され、読み込み制御線10を介して制御される。マイクロプロセッサ1は各カウンタ回路の値を読むときは、読み込み制御線10を使用し、まず各々のカウンタ回路4および6の値をラッチ回路5および7にラッチする。そして、ほぼ同時に各々のカウンタ回路4および6をリセットしてラッチ回路5および7からデータバス11を読み込み、マイクロプロセッサの使用率を求める。この動作は任意の時間に行うことができる。

【0014】

【発明の効果】本発明は、以上説明したように、マイクロプロセッサの使用率の算出精度を上げるばかりでなく、マイクロプロセッサから割込処理をなくし、処理の軽減が図れる効果がある。また、ラッチ回路があることにより、マイクロプロセッサが自由な時間に読み込める効果がある。

がイベント処理の状態であれば開き、発振器2からのクロックをイベント処理時間測定用のカウンタ回路4に入力する。一方、マイクロプロセッサ1がアイドル状態であればゲート3は閉じ、カウンタ回路4はカウントアップしない。動作時間測定用カウンタ回路6はマイクロプロセッサが動作しているときは常時カウントアップしている。これらの2つのカウンタ回路4および6の値から次式によりマイクロプロセッサ1の使用率を求めることができる。

【0012】

【数2】

【図面の簡単な説明】

【図1】本発明実施例の構成を示すブロック構成図。

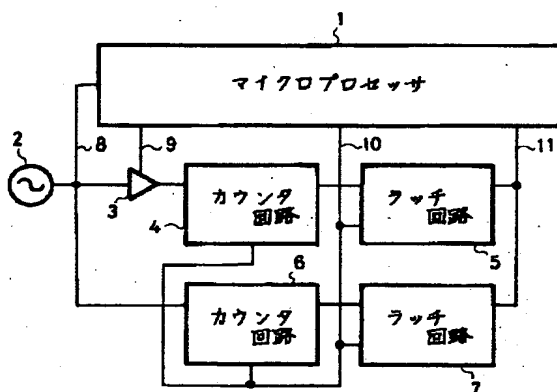
【図2】マイクロプロセッサの状態遷移図。

【図3】従来例の構成を示すブロック構成図。

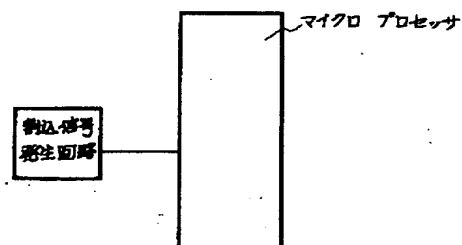
【符号の説明】

- 1    マイクロプロセッサ
- 2    発振器
- 3    ゲート
- 4    カウンタ回路
- 5    ラッチ回路
- 6    カウンタ回路
- 7    ラッチ回路
- 8    クロック信号線
- 9    ゲート制御信号線
- 10    読み込み制御線
- 11    データバス

【図1】



【図3】



【図2】

